

Carrier phase control circuit

Patent Number: ☐ [US5757865](#)
Publication date: 1998-05-26
Inventor(s): KAWADA NOBORU (JP); KAKU TAKASHI (JP); MIYAZAWA HIDEO (JP)
Applicant(s):: FUJITSU LTD (JP)
Requested Patent: ☐ [JP8172464](#)
Application Number: US19950553990 19951106
Priority Number(s): JP19940317332 19941220
IPC Classification: H04L27/06
EC Classification: [H04L27/233C](#)
Equivalents: ☐ [GB2296637](#)

Abstract

The invention provides a carrier phase control circuit which can eliminate a phase intercept fluctuation so that, when the carrier phase control circuit is applied to a very high speed modem having a communication speed of, for example, 28.8 kbps, occurrence of a communication error can be suppressed and the modem has an improved characteristic. The carrier phase control circuit is provided on a reception side of a communication apparatus and interposed between an automatic equalizer and a signal decision section. The carrier phase control circuit includes a frequency offset removal section for predicting and removing an offset of a frequency of a transmission signal based on an output of the automatic equalizer, and a phase intercept variation removal section for predicting and removing a phase intercept variation of the transmission signal based on an output of the frequency offset removal section and inputting a resulted signal as an output thereof to the signal decision section.

Data supplied from the esp@cenet database - I2

(18) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-172464

(43) 公開日 平成8年(1996)7月2日

(51) Int. Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
H04L 27/38 27/22		9297-5K 9297-5K	H04L 27/00 27/22	G Z
審査請求 未請求 請求項の数15 O L (全 25 頁)				

(21) 出願番号 特願平8-317332
(22) 出願日 平成8年(1994)12月20日

(71) 出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中4丁目1番
1号
(72) 発明者 加来 尚
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内
(72) 発明者 川田 昇
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内
(72) 発明者 宮澤 秀夫
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内
(74) 代理人 弁護士 真田 有

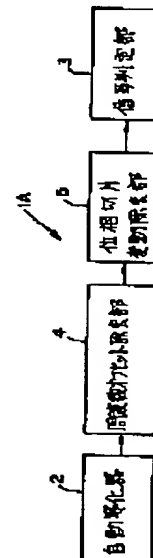
(54) 【発明の名称】 キャリア位相制御回路

(57) 【要約】

【目的】 本発明は、電話又は専用回線を使用してデータ伝送する際に用いられるモデム等の伝送装置における受信部に用いられる、キャリア位相制御回路に関し、位相切片変動を除去することにより、通信速度が例えば28.8 kbpsのような超高速モデムに適用した場合に、通信エラーの発生を抑制し、モデムの特性を飛躍的に向上させることができるようにすることを目的とする。

【構成】 伝送装置の受信側に設けられ、自動等化器2と信号判定部3との間に介装されるキャリア位相制御回路1Aにおいて、自動等化器2からの出力に基づいて、伝送信号の周波数のずれを予測して除去する周波数オフセット除去部4と、周波数オフセット除去部4からの出力に基づいて、伝送信号の位相切片変動を予測して除去し、その出力を信号判定部3へ入力する位相切片変動除去部5とをそなえるように構成する。

第1の発明の原理ブロック図



【特許請求の範囲】

【請求項1】 伝送装置の受信側に設けられ、自動等化器と信号判定部との間に介装されるキャリア位相制御回路において、
該自動等化器からの出力に基づいて、伝送信号の周波数のずれを予測して除去する周波数オフセット除去部と、
該周波数オフセット除去部からの出力に基づいて、伝送信号の位相切片変動を予測して除去し、その出力を該信号判定部へ入力する位相切片変動除去部とをそなえて構成されたことを特徴とする、キャリア位相制御回路。

【請求項2】 伝送装置の受信側に設けられ、自動等化器と信号判定部との間に介装されるキャリア位相制御回路において、
該自動等化器からの出力に基づいて伝送信号の周波数のずれを予測する周波数オフセット予測部及び該周波数オフセット予測部の出力と該自動等化器からの出力とを乗算する乗算器を有する周波数オフセット除去部と、
該信号判定部の入出力情報から信号判定誤差を検出する信号判定誤差検出部と、
該信号判定誤差検出部で得られた信号判定誤差情報と該周波数オフセット除去部における該周波数オフセット予測部からの出力とに基づいて伝送信号の位相切片変動を予測する位相切片変動予測部及び該位相切片変動予測部の出力と該乗算器の出力とを加算して該信号判定部へ入力する加算器を有する位相切片変動除去部とをそなえて構成されたことを特徴とする、キャリア位相制御回路。

【請求項3】 該位相切片変動予測部が、該信号判定誤差検出部で得られた信号判定誤差情報と該周波数オフセット予測部からの出力との相関を演算する相関演算部と、該相関演算部の出力を更新する更新部と、該更新部の出力と該周波数オフセット予測部からの出力とを乗算する乗算部とをそなえて構成されたことを特徴とする請求項2記載のキャリア位相制御回路。

【請求項4】 該位相切片変動予測部が、
該信号判定誤差検出部で得られた信号判定誤差情報と該周波数オフセット予測部からの出力とに基づいて、伝送信号の位相切片変動を予測する第1の予測器と、
該信号判定誤差検出部で得られた信号判定誤差情報と該周波数オフセット予測部からの出力を整数倍した信号とに基づいて、伝送信号の位相切片変動を予測する第2の予測器と、
該第1の予測器の出力と該第2の予測器の出力とを加算する加算器とをそなえて構成されたことを特徴とする請求項2記載のキャリア位相制御回路。

【請求項5】 該第1の予測器が、該信号判定誤差検出部で得られた信号判定誤差情報と該周波数オフセット予測部からの出力との相関を演算する相関演算部と、該相関演算部の出力を更新する更新部と、該更新部の出力と該周波数オフセット予測部からの出力とを乗算する乗算部とをそなえて構成されるとともに、

該第2の予測器が、該信号判定誤差検出部で得られた信号判定誤差情報と該周波数オフセット予測部からの出力を整数倍した信号との相関を演算する相関演算部と、該相関演算部の出力を更新する更新部と、該更新部の出力と該周波数オフセット予測部からの出力とを乗算する乗算部とをそなえて構成されていることを特徴とする請求項4記載のキャリア位相制御回路。

【請求項6】 該信号判定部が、入力信号に対応する疑似参照信号を出力する硬判定部として構成され、
且つ、該信号判定誤差検出部が、該硬判定部の入出力情報から信号判定誤差を検出するべく構成されていることを特徴とする請求項2記載のキャリア位相制御回路。

【請求項7】 該信号判定部が、入力信号に対応する疑似参照信号を出力する硬判定部として構成されるときに、

該信号判定誤差検出部が、該硬判定部の入出力情報から信号判定誤差を検出するべく構成され、

且つ、該位相切片変動予測部が、該信号判定誤差検出部で得られた信号判定誤差情報と該周波数オフセット予測部からの出力とに基づいて、伝送信号の位相切片変動を予測する第1の予測器と、該信号判定誤差検出部で得られた信号判定誤差情報と該周波数オフセット予測部からの出力を整数倍した信号とに基づいて、伝送信号の位相切片変動を予測する第2の予測器と、該第1の予測器の出力と該第2の予測器の出力とを加算する加算器とをそなえて構成されていることを特徴とする請求項2記載のキャリア位相制御回路。

【請求項8】 該信号判定部が、入力信号に対応する疑似参照信号を出力する硬判定部と、該硬判定部からの疑似参照信号及び硬判定入力信号を受けて誤り訂正を施す軟判定部とをそなえて構成され、

且つ、該信号判定誤差検出部が、該硬判定部への入力情報と該軟判定部からの出力情報とから信号判定誤差を検出するべく構成されていることを特徴とする請求項2記載のキャリア位相制御回路。

【請求項9】 該信号判定部が、入力信号に対応する疑似参照信号を出力する硬判定部と、該硬判定部からの疑似参照信号及び硬判定入力信号を受けて誤り訂正を施す軟判定部とをそなえて構成されるときに、

該信号判定誤差検出部が、該硬判定部への入力情報と該軟判定部からの出力情報とから信号判定誤差を検出するべく構成され、

且つ、該位相切片変動予測部が、該信号判定誤差検出部で得られた信号判定誤差情報と該周波数オフセット予測部からの出力とに基づいて、伝送信号の位相切片変動を予測する第1の予測器と、該信号判定誤差検出部で得られた信号判定誤差情報と該周波数オフセット予測部からの出力を整数倍した信号とに基づいて、伝送信号の位相切片変動を予測する第2の予測器と、該第1の予測器の出力と該第2の予測器の出力とを加算する加算器とをそ

なえて構成されていることを特徴とする請求項2記載のキャリア位相制御回路。

【請求項10】 該信号判定部が、入力信号に対応する疑似参照信号を出力する硬判定部として構成され、且つ、該信号判定誤差検出部が、該硬判定部の入出力情報からベクトル平面上の所定位置に正規化された信号判定誤差を検出するべく構成されていることを特徴とする請求項2記載のキャリア位相制御回路。

【請求項11】 該信号判定部が、入力信号に対応する疑似参照信号を出力する硬判定部として構成されるときに、

該信号判定誤差検出部が、該硬判定部の入出力情報からベクトル平面上の所定位置に正規化された信号判定誤差を検出するべく構成され、

且つ、該位相切片変動予測部が、該信号判定誤差検出部で得られた正規化信号判定誤差情報と該周波数オフセット予測部からの出力とに基づいて伝送信号の位相切片変動を予測する第1の予測器と、該信号判定誤差検出部で得られた正規化信号判定誤差情報と該周波数オフセット予測部からの出力を整数倍した信号とに基づいて伝送信号の位相切片変動を予測する第2の予測器と、該第1の予測器の出力と該第2の予測器の出力とを加算する加算器とをそなえて構成されていることを特徴とする請求項2記載のキャリア位相制御回路。

【請求項12】 該信号判定部が、入力信号に対応する疑似参照信号を出力する硬判定部と、該硬判定部からの疑似参照信号及び硬判定入力信号を受けて誤り訂正を施す軟判定部とをそなえて構成され、該信号判定誤差検出部が、該硬判定部の入力情報と該軟判定部からの出力情報とからベクトル平面上の所定位置に正規化された信号判定誤差を検出するべく構成されていることを特徴とする請求項2記載のキャリア位相制御回路。

【請求項13】 該信号判定部が、入力信号に対応する疑似参照信号を出力する硬判定部と、該硬判定部からの疑似参照信号及び硬判定入力信号を受けて誤り訂正を施す軟判定部とをそなえて構成されるときに、該信号判定誤差検出部が、該硬判定部への入力情報と該軟判定部からの出力情報とからベクトル平面上の所定位置に正規化された信号判定誤差を検出するべく構成され、且つ、該位相切片変動予測部が、該信号判定誤差検出部で得られた正規化信号判定誤差情報と該周波数オフセット予測部からの出力とに基づいて、伝送信号の位相切片変動を予測する第1の予測器と、該信号判定誤差検出部で得られた正規化信号判定誤差情報と該周波数オフセット予測部からの出力を整数倍した信号とに基づいて、伝送信号の位相切片変動を予測する第2の予測器と、該第1の予測器の出力と該第2の予測器の出力とを加算する加算器とをそなえて構成されていることを特徴とする請求項2記載のキャリア位相制御回路。

【請求項14】 該信号判定部が、該乗算器の出力と該位相切片変動予測部の出力とを加算して該信号判定部へ入力する加算器からの信号に対応する疑似参照信号を出力する硬判定部として構成されるときに、該硬判定部への入力信号と該硬判定部からの疑似参照信号とに基づいて該硬判定部への入力信号をベクトル平面上の所定位置に正規化する正規化部が設けられて、且つ、該周波数オフセット除去部が、該正規化部からの出力に基づいて、伝送信号の周波数のずれを予測して除去するべく構成されていることを特徴とする請求項2記載のキャリア位相制御回路。

【請求項15】 伝送装置の受信側に設けられ、自動等化器と、入力信号に対応する疑似参照信号を出力する硬判定部及び該硬判定部からの疑似参照信号及び硬判定入力信号を受けて誤り訂正を施す軟判定部とを有する信号判定部との間に介装されるキャリア位相制御回路において、該硬判定部への入力信号と該硬判定部からの疑似参照信号とに基づいて該硬判定部への入力信号をベクトル平面上の所定位置に正規化する正規化部と、該正規化部からの出力に基づいて、伝送信号の周波数のずれを予測する周波数オフセット予測部及び該周波数オフセット予測部の出力と該自動等化器からの出力とを乗算して伝送信号の周波数のずれを除去する乗算器を有する周波数オフセット除去部と、該硬判定部への入出力情報からベクトル平面上の所定位置に正規化された信号判定誤差を検出する第1信号判定誤差検出部と、該硬判定部への入力情報と該軟判定部からの出力情報とからベクトル平面上の所定位置に正規化された信号判定誤差を検出する第2信号判定誤差検出部と、上記の第1信号判定誤差検出部又は第2信号判定誤差検出部からの正規化信号判定誤差情報を選択的に出力するセレクタと、該セレクタで選択的に出力された正規化信号判定誤差情報と該周波数オフセット予測部からの出力とに基づいて、伝送信号の位相切片変動を予測する位相切片変動予測部及び該位相切片変動予測部の出力と該乗算器の出力とを加算して、位相切片変動を除去した信号を該硬判定部へ入力する加算器を有する位相切片変動除去部と、信号の引込み時は該第1信号判定誤差検出部からの正規化信号判定誤差情報を該セレクタで選択させ、信号の引込み後の定常時は該第2信号判定誤差検出部からの正規化信号判定誤差情報を該セレクタで選択させるよう、該セレクタを制御するセレクタ制御部とをそなえて構成されたことを特徴とする、キャリア位相制御回路。

【発明の詳細な説明】

【0001】（目次）

産業上の利用分野

従来の技術（図15）

発明が解決しようとする課題

課題を解決するための手段(図1～図3)

作用(図1～図3)

実施例

・本発明の一実施例の説明(図4～図14)

・その他

発明の効果

【0002】

【産業上の利用分野】本発明は、電話又は専用回線を使用してデータ伝送する際に用いられるモデム等の伝送装置における受信部に用いられる、キャリア位相制御回路に関する。

【0003】

【従来の技術】従来より、データを伝送する際に使用するモデム(変復調装置)として、各種の伝送速度に対応したものが提供されている。一般的には、勧告V.29で示される通信速度が9600bit/sec(9.6kbps)に対応するモデムや、14.4kbpsの通信速度のモデムが広く実用化されているが、近年の通信速度の高速化という要求に応えるべく、28.8kbpsという超高速モデムの開発、研究も活発に行なわれている。

【0004】ところで、モデムから伝送信号を送信する際においては、所要のアイパターン(位相平面上でのデータ点配置パターン)を持つ信号点を発生させて、データを変調して送信するとともに、受信信号を復調してデータを再生することが行なわれる。また、上述したような28.8kbpsの高速な通信速度を持つモデムでは、通信速度が9.6kbps又は14.4kbpsの一般的なモデムと比較すると、アイパターン上の信号点数が非常に多くなるので、周波数オフセットや位相切片変動等の回線劣化要因の影響が大きい。

【0005】また、一般的な9.6kbps、14.4kbpsモデムでは、キャリア位相制御回路において、予測制御を行なうことにより周波数オフセットを除去している一方、位相切片変動は無視できる程小さい劣化要因であったため、特に位相切片変動の除去のための制御は行なう必要がなかった。ここで、位相切片変動は、周波数オフセットを除去した信号に、周波数オフセットの周波数及びその整数倍(例えば2倍)の周波数で重畳する劣化要因をいい、振幅依存性及び位相依存性を有している。具体的には、この位相切片変動は、図15における信号点A1、信号点A2に示すように、信号点が信号点近傍の小さな円軌道上を回転する現象をいう。

【0006】

【発明が解決しようとする課題】しかしながら、上述の28.8kbpsの高速な通信速度を有するモデムにおいては、信号点の増加に伴って、各信号点間の距離も小さくなるので、例えば図15における信号点A1と信号点A2のように、信号点が重なって通信エラーとなる場

合がある。

【0007】即ち、28.8kbpsモデムにおいては、一般的な9.6kbps、14.4kbpsモデムでは問題にならなかった信号点の位相切片変動が、通信エラーを引き起こすほどに影響を与えるため、この位相切片変動の劣化をキャンセルしなければならないという課題がある。本発明は、このような課題に鑑み創案されたもので、位相切片変動を除去することにより、通信速度が例えば28.8kbpsのような超高速モデムに適用した場合に、通信エラーの発生を抑制し、モデムの特性を飛躍的に向上させることができるようにした、キャリア位相制御回路を提供することを目的とする。

【0008】

【課題を解決するための手段】図1は第1の発明の原理ブロック図であり、この図1において、1Aはキャリア位相制御回路であり、このキャリア位相制御回路1Aは、伝送装置の受信側に設けられ、自動等化器2と信号判定部3との間に介装されるものであり、周波数オフセット予測部4と位相切片変動除去部5とをそなえている。

【0009】ここで、周波数オフセット予測部4は、自動等化器2からの出力に基づいて、伝送信号の周波数のずれを予測して除去するものであり、位相切片変動除去部5は、周波数オフセット予測部4からの出力に基づいて、伝送信号の位相切片変動を予測して除去し、その出力を信号判定部3へ入力するものである(請求項1)。

【0010】また、図2は第2の発明の原理ブロック図であり、この図2において、1Bはキャリア位相制御回路であり、このキャリア位相制御回路1Bは、伝送装置の受信側に設けられており、周波数オフセット除去部4、位相切片変動除去部5及び信号判定誤差検出部6をそなえている。ここで、周波数オフセット除去部4は、自動等化器2からの出力に基づいて伝送信号の周波数のずれを予測する周波数オフセット予測部4A及び周波数オフセット予測部4Aの出力と自動等化器2からの出力とを乗算する乗算器4Bを有している。

【0011】また、位相切片変動除去部5は、信号判定誤差検出部6で得られた信号判定誤差情報と周波数オフセット除去部4における周波数オフセット予測部4Aからの出力とに基づいて伝送信号の位相切片変動を予測する位相切片変動予測部5A及び位相切片変動予測部5Aの出力と乗算器4Bの出力とを加算して信号判定部3へ入力する加算器5Bを有している(請求項2)。

【0012】この場合においては、位相切片変動予測部5Aが、信号判定誤差検出部6で得られた信号判定誤差情報と周波数オフセット予測部4Aからの出力との相関を演算する相関演算部と、相関演算部の出力を更新する更新部と、更新部の出力と周波数オフセット予測部4Aからの出力とを乗算する乗算部とをそなえることができる(請求項3)。

ば、セレクト制御部でセレクトを制御することにより、信号の引込み時は第1信号判定誤差検出部からの正規化信号判定誤差情報をセレクトで選択させ、信号の引込み後の定常時は第2信号判定誤差検出部からの正規化信号判定誤差情報をセレクトで選択させているので、前述の場合と同様に、位相切片変動を予測するための演算を容易に行なうとともに、位相切片変動の除去をより高精度に行なうことができるのみならず、信号の状態に応じた位相切片変動を予測するための演算を効率的に行なうことができ、通信速度が例えば28.8kbpsのような超高速モデムに適用すれば、通信エラーの発生を、容易な演算処理に基づいて高精度かつ効率的に抑制することができる利点もある。

【図面の簡単な説明】

【図1】第1の発明の原理ブロック図である。

【図2】第2の発明の原理ブロック図である。

【図3】第3の発明の原理ブロック図である。

【図4】本発明の一実施例にかかるオンラインシステムのブロック図である。

【図5】本発明の一実施例の要部を示すブロック図である。

【図6】本発明の一実施例の要部を詳細に示すブロック図である。

【図7】本発明の一実施例にかかるキャリア位相制御回路を示すブロック図である。

【図8】本発明の一実施例にかかるキャリア位相制御回路を示すブロック図である。

【図9】本発明の一実施例にかかるキャリア位相制御回路を示すブロック図である。

【図10】本発明の一実施例にかかるキャリア位相制御部を詳細に示す回路構成図である。

【図11】本発明の一実施例にかかる正規化部を詳細に示す回路構成図である。

【図12】本発明の一実施例にかかるキャリア位相制御部を詳細に示す回路構成図である。

【図13】本発明の一実施例にかかる正規化部を詳細に示す回路構成図である。

【図14】位相切片変動除去後のアイパターンを示す図である。

【図15】位相切片変動が信号劣化の要因となることを説明する図である。

【符号の説明】

1A～1C キャリア位相制御回路
2 自動等化器
3 信号判定部
3A 硬判定部
3B 軟判定部
4 周波数オフセット除去部
4A 周波数オフセット予測部
4A-1 第1積分回路

4A-2 正規化部
4A-3 第2積分回路
4B 乗算部
5 位相切片変動除去部
5A 位相切片変動予測部
5AA 第1の予測器
5AA-1, 5AB-1 相関演算部
5AA-2, 5AB-2 更新部
5AA-3, 5AB-3 乗算部
5AB 第2の予測器
5AC 加算器
5B 加算部
6A 第1信号判定誤差検出部
6A-1 正規化部
6B 第2信号判定誤差検出部
6B-1 正規化部
6B-1 遅延部
6C セレクト
6D セレクト制御部
7 正規化部
10 ホスト(コンピュータ)
12, 12' モデム
14 アナログ回線
16A～16D 端末
20 変調機能付き送信部
22 復調機能付き受信部
24 マイクロプロセッサユニット(MPU)
26 デジタルシグナルプロセッサ(DSP)
28 D/A変換器
29 A/D変換器
30 シリアル/パラレル変換器
32A, 32B スクランプラ
34A 和分演算部
34B 和分演算部
36 トレリスコード変調部
38A, 38B 信号点発生部
40 フレーム回転部
42 ロールオフフィルタ
44 変調部
46 固定等化部
48 アテネータ
50 シーケンサ(制御手段)
52 固定等化器
54 復調部
56 ロールオフフィルタ
58 自動利得制御部(AGC)
60 自動等化部(EQL, 自動等化器)
62 キャリア位相補正部(CAPC, キャリア位相制御部, キャリア位相制御回路)
64 前置の信号判定部

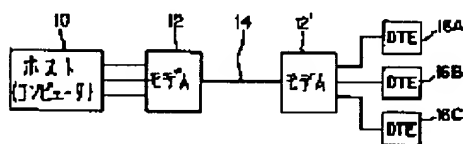
- | | |
|-----------------------|----------------|
| 64A 硬判定部 | 94C 遅延部 |
| 64B 軟判定部 | 95A 乗算部 |
| 66 フレーム逆回転部 | 95B 丸め処理部 |
| 68A, 68B 信号点判定部 | 95C 乗算部 |
| 70A, 70B 差分演算部 | 95D 遅延部 |
| 72A, 72B デスクランブラ | 96 丸め処理部 |
| 80 キャリア検出部 (CD) | 97 レベル処理部 |
| 82 トレーニングデータ検出部 (TRG) | 98 乗算部 |
| 84 インパルス再生部 | 99 丸め処理部 |
| 84A インパルス検出部 | 101 正規化ベクトル発生部 |
| 86 タイミング抽出部 | 102 乗算部 |
| 88 タイミングロック部 | 103 加算部 |
| 90 シーケンサ | 104 丸め処理部 |
| 91 乗算部 | 105 乗算部 |
| 92, 93 丸め処理部 | 106 丸め処理部 |
| 94A, 94B 加算部 | |

【図4】

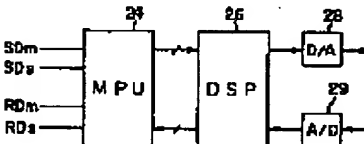
【図5】

本発明の一実施例におけるシステムブロック図

本発明の一実施例の各部を示すブロック図



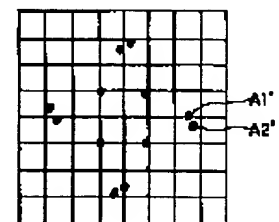
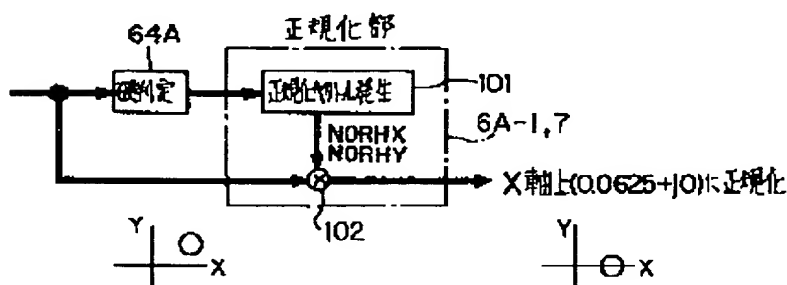
【図11】



【図14】

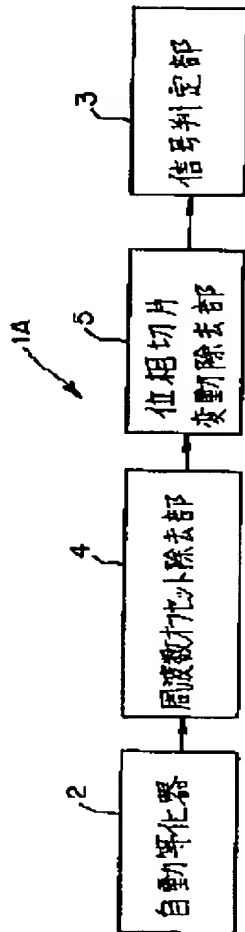
本発明の一実施例における正規化部を詳細に示す回路構成図

位相切片変動除去後のアイパターンを示す図



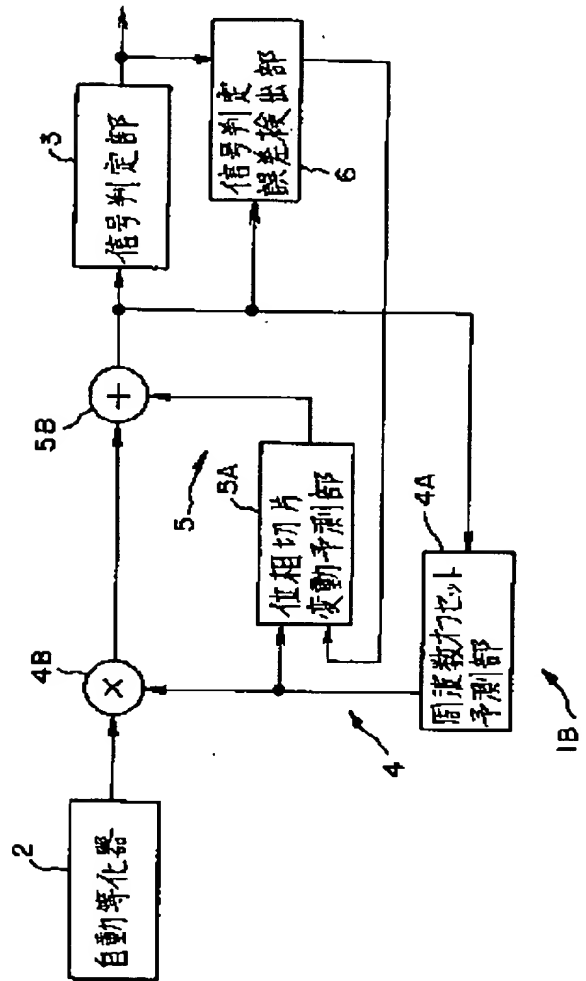
【図1】

第1の発明の原理ブロック図



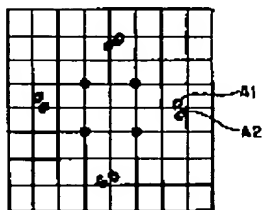
【図2】

第2の発明の原理ブロック図



【図15】

位相切片変動が信号劣化の要因となることを説明する図



【図3】

第3の発明の原理ブロック図

